

## Высокоскоростные преобразователи кодов в телекоммуникационных устройствах

Схемотехника устройств, работающих на частотах порядка одного гигагерца и выше, отличается от традиционной не только применением высокоскоростных компонентов, но и приёмами проектирования. В первой части этой статьи рассмотрено построение высокоскоростного преобразователя последовательного кода в параллельный с использованием сравнительно медленных логических элементов. Во второй части та же и обратная задачи решаются с применением оптических элементов, оперирующих непосредственно световыми потоками без их предварительного преобразования в электрические сигналы. Рассмотренные в статье преобразователи и коммутатор тайм-слотов могут применяться в телекоммуникационных системах.

### Часть 1. Преобразователи кодов на основе традиционных логических элементов

Низкоскоростной преобразователь последовательного кода в параллельный обычно содержит пару регистров — сдвиговый и параллельный (рис. 1). Под управлением фронтов синхросигнала  $CL^*$  D-триггеры сдвигового регистра последовательно заполняются данными DIN, затем по фронту сигнала  $S^*$  эти данные переписываются на выходы DOUT параллельного регистра RG. Этот процесс непрерывно повторяется, так что входной поток битов преобразуется в поток байтов. В приведенных здесь и далее примерах построения преобразователей предполагается, что входные данные представлены кодом NRZ, предпочтительно скремблированным [1, 2].

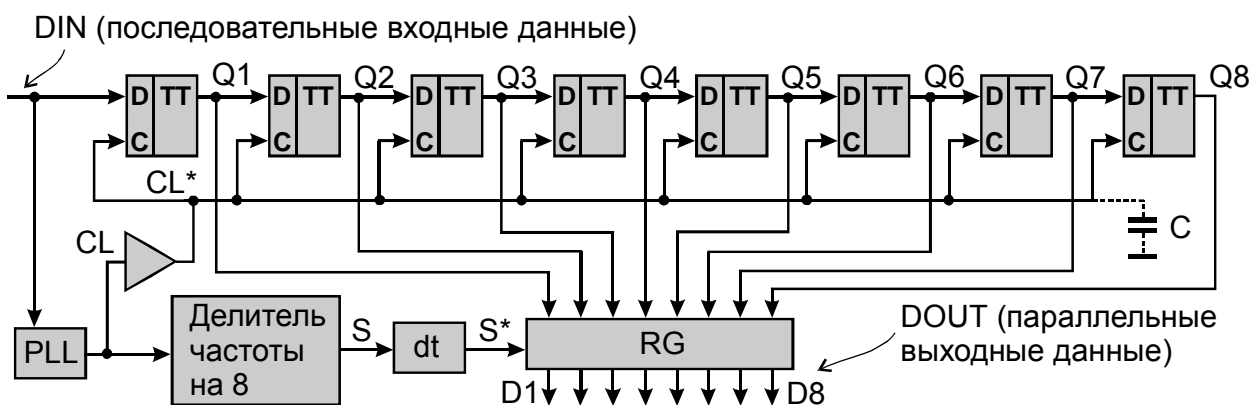


Рис. 1. Традиционная схема преобразователя последовательного кода в параллельный

Генератор PLL (Phase Locked Loop) с фазовой автоподстройкой частоты предназначен для формирования высокостабильного синхросигнала CL на основе непрерывного слежения за входным сигналом DIN. Срез сигнала CL (рис. 2) привязан к моментам изменения сигнала DIN, а его фронт формируется в середине битового интервала, когда входной сигнал стабилен. Благодаря достаточной инерционности генератора PLL сигнал CL практически нечувствителен к джиттеру (дрожанию фронтов [3]) сигнала DIN и иным его кратковременным искажениям. Такое использование генератора с фазовой автоподстройкой частоты в телекоммуникационных системах является общепринятым и далее не детализируется; некоторые схемные решения можно найти в [1, 2].

Делитель частоты на восемь формирует сигнал S, который затем сдвигается на половину такта элементом задержки dt для повышения надёжности приёма данных в регистр RG. Сигнал CL усиливается по мощности и преобразуется в сигнал  $CL^*$  для ускорения перезарядки паразитной ёмкости C, образованной параллельно включёнными входами синхронизации триггеров сдвигового регистра и соответствующими проводниками.

В схеме (рис. 1) не предусмотрена привязка границ байта D1 — D8 к его истинным границам, которые первоначально подразумевались источником данных DIN. Иными словами, после включения напряжения питания преобразователя “нарезка” потока битов DIN на байты DOUT начинается с произвольного места, и в группе выходов D1 — D8 первые i

разрядов могут принадлежать некоторому байту с номером  $N$ , а остальные  $(8 - i)$  разрядов — следующему за ним байту с номером  $N + 1$ . Варианты решения задачи установления и поддержания синхронизации приёмника с передатчиком на уровне согласования границ байтов приведены в [1, 4].

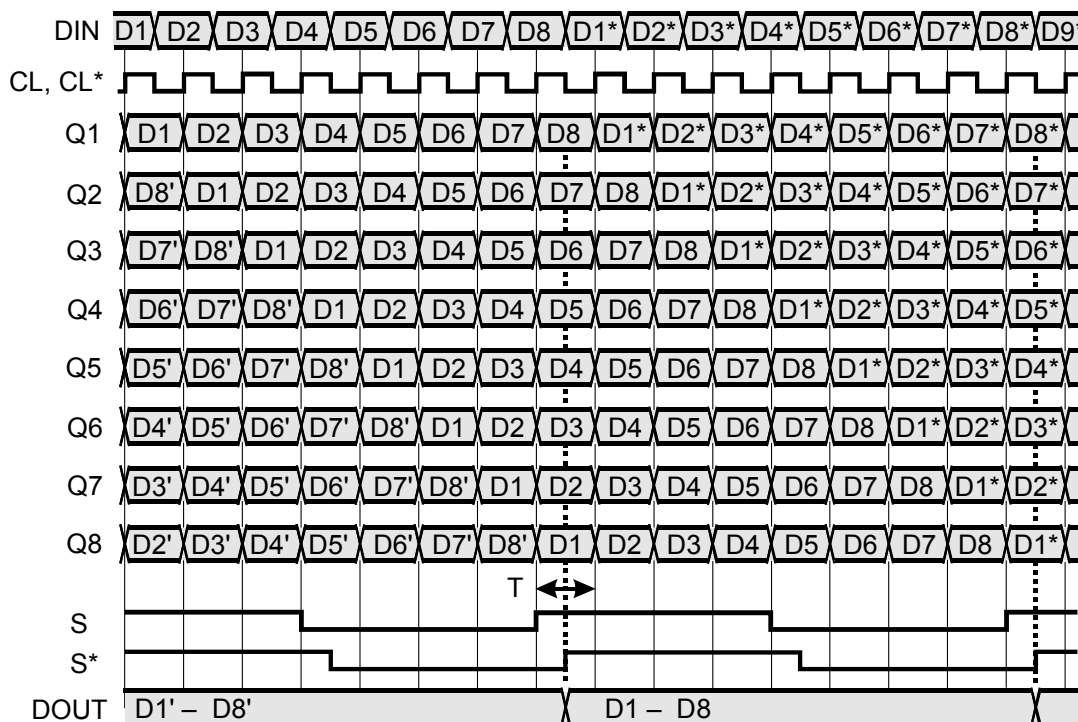


Рис. 2. Временные диаграммы работы схемы, показанной на рис. 1

С повышением тактовой частоты надёжность работы преобразователя (рис. 1) снижается из-за действия следующих факторов:

1. Для быстрой перезарядки паразитной ёмкости  $C$  требуется всё более короткий промежуток времени, составляющий доли наносекунды. Пологие фронты сигнала  $CL^*$  могут вызвать неправильную работу сдвигового регистра из-за неодновременного срабатывания составляющих его триггеров вследствие разброса пороговых напряжений входных логических элементов. Для формирования коротких фронтов и срезов сигнала  $CL^*$  требуется мощный и быстродействующий усилитель; его введение увеличивает площадь кристалла, повышает потребляемый преобразователем ток и создаёт импульсные помехи по цепи питания.
2. Быстродействие триггеров и сдвигового регистра  $RG$  должно быть весьма высоким. Интервал времени  $T$  существования правильного кода на входах регистра  $RG$  (рис. 2) составляет всего лишь один период тактового сигнала. Первая и вторая половины этого интервала должны превышать допустимые промежутки времени для предварительной установки и удержания данных на входах регистра  $RG$ . Интервал  $T$  не должен “дрейфовать” во времени в зависимости от температуры, поэтому номинальная задержка триггеров и её температурный дрейф должны быть очень незначительными.

В усовершенствованной схеме [5] (рис. 3) перечисленные проблемы во многом сняты. Вместо усилителя синхросигнала применена пассивная (не потребляющая энергии) R-L-C-линия задержки. Элементами этой линии, в частности, являются распределённые по её длине паразитные ёмкости входов синхронизации триггеров. К выходу линии задержки подключён согласующий резистор, сопротивление которого равно модулю её импеданса. Это гарантирует отсутствие отражённого сигнала. Входные последовательные данные проходят по такой же линии задержки во встречном направлении.

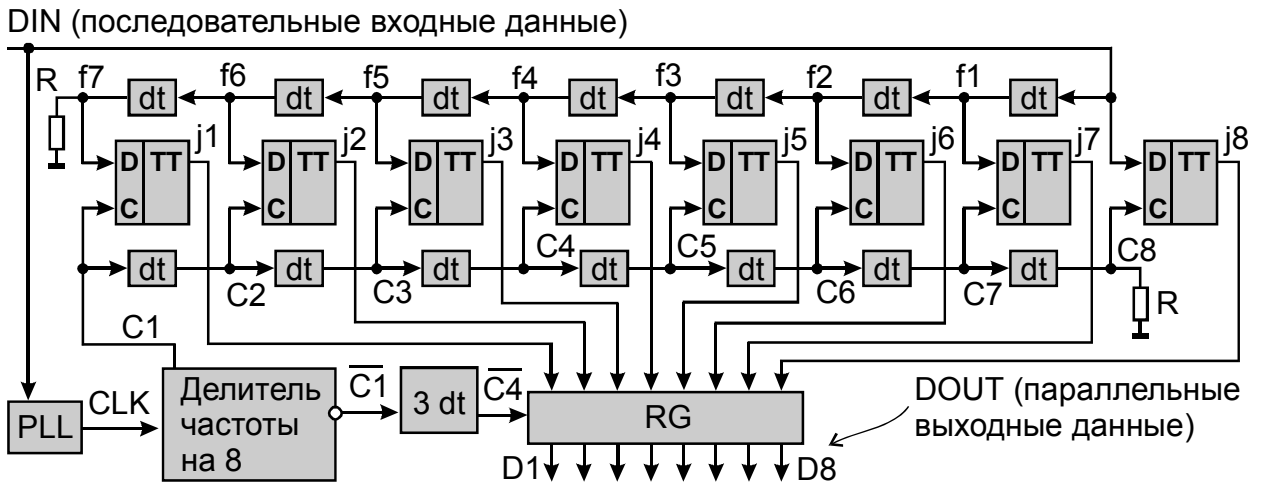


Рис. 3. Усовершенствованная схема преобразователя последовательного кода в параллельный (первый вариант)

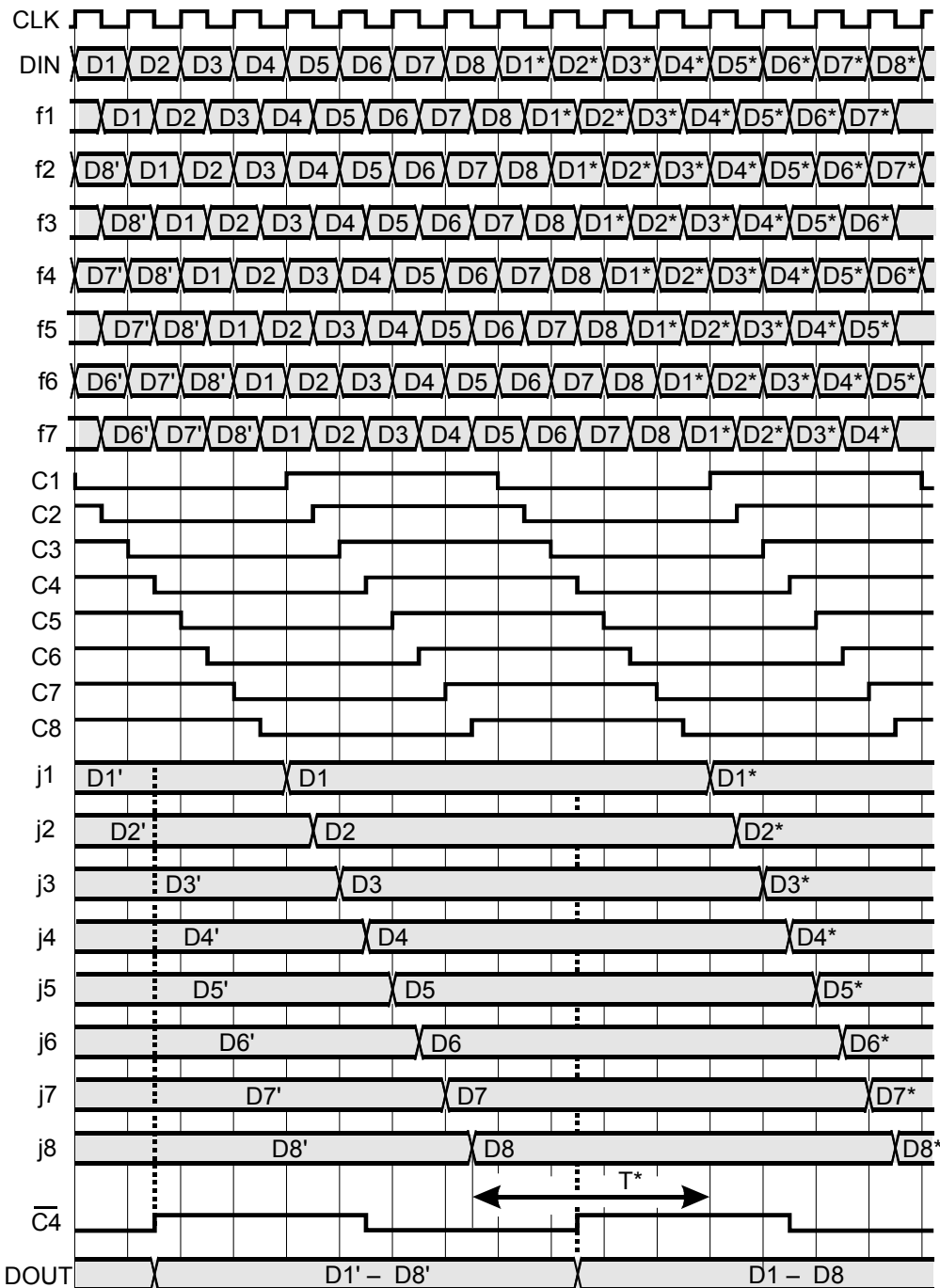


Рис. 4. Временные диаграммы работы схемы, показанной на рис. 3



световыми потоками. Рассмотрим некоторые примеры применения “оптической логики” для быстрого преобразования высокоскоростных сигналов.

### Оптическая ячейка памяти

В рассмотренных далее устройствах применены оптические ячейки памяти. Существует много вариантов построения таких ячеек — чтобы убедиться в этом, достаточно обратиться к поисковой системе патентного ведомства США на сайте <http://www.uspto.gov>.

Ячейки памяти [6], показанные на рис. 7, предназначены для хранения одного бита информации и по логике работы до некоторой степени схожи с обычным RS-триггером, работающим в режиме предварительной установки нуля.

Ячейка (рис. 7, а) выполнена на основе петли В — С — D — E — В из оптоволоконна. Длина петли может составлять, например, 50 мм. Время пробега светового импульса по такой петле составляет 0,3 нс. Для ввода светового импульса в петлю используется точка А — вход в ответвление от неё. Фрагмент А — В — Е оптоволоконной структуры представляет собой направленный смеситель сигналов — световой поток в точке В равен сумме потоков, поступающих из точек А и Е. Длительность входного импульса DIN в точке А должна быть не меньшей времени его прохождения по петле, чтобы вся петля, исходно затемнённая, заполнилась световым потоком.

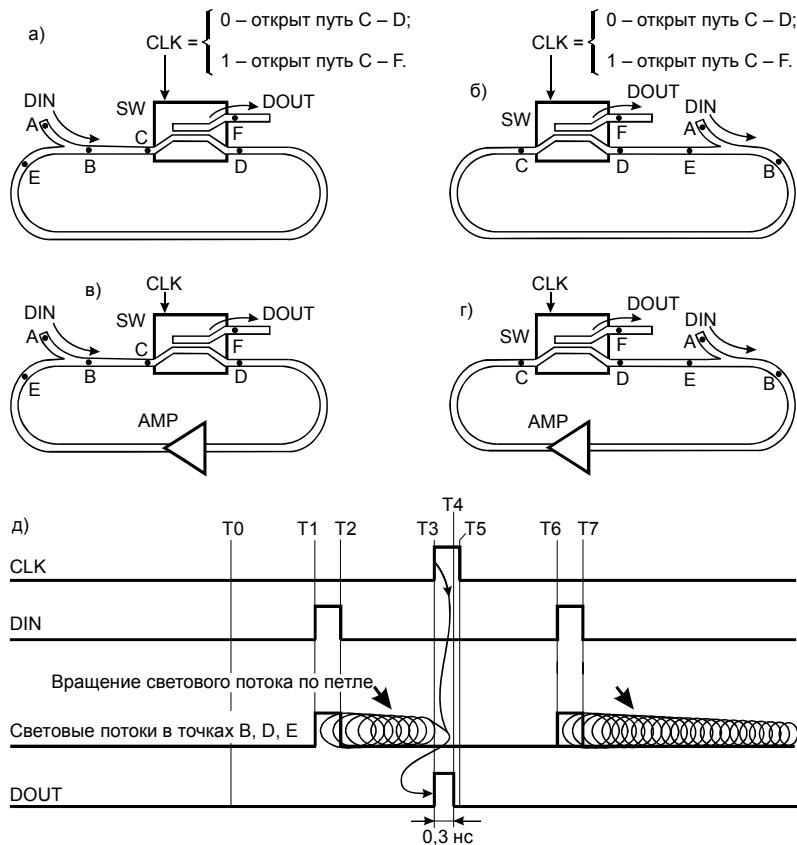


Рис. 7. Оптические ячейки памяти

На участке С — D петля проходит сквозь оптический ключ SW. Ключ управляется светом или напряжением, в данном случае — электрическим сигналом CLK [7]. При CLK = 0 световой поток проходит из точки С в точку D и далее распространяется по кольцу. По мере вращения в петле световой поток затухает и в конечном счёте исчезает. Время его существования зависит от потерь в оптоволоконне и достигает нескольких микросекунд. При CLK = 1 световой поток проходит из точки С в

точку F, т. е. передаётся на выход DOUT ячейки, а путь С — D размыкается. Длительность импульса CLK несколько превышает время распространения света по петле, поэтому вся накопленная в ней энергия в виде светового импульса длительностью 0,3 нс направляется на выход DOUT, а петля “разряжается” (устанавливается в состояние лог. 0).

На временной диаграмме, приведенной на рис. 7, д, в момент T0 сигнал CLK=0, световые потоки в петле, а также на входе DIN и на выходе DOUT отсутствуют. В момент T1 в петлю вводится световой импульс (сигнал лог. 1), который начинает циркулировать в ней, что условно отражено затухающей спиральной линией на диаграмме световых потоков в точках В, D и E (на последующих рисунках подобное отображение не используется). В момент T2 входной импульс заканчивается; к этому времени в ячейке накапливается

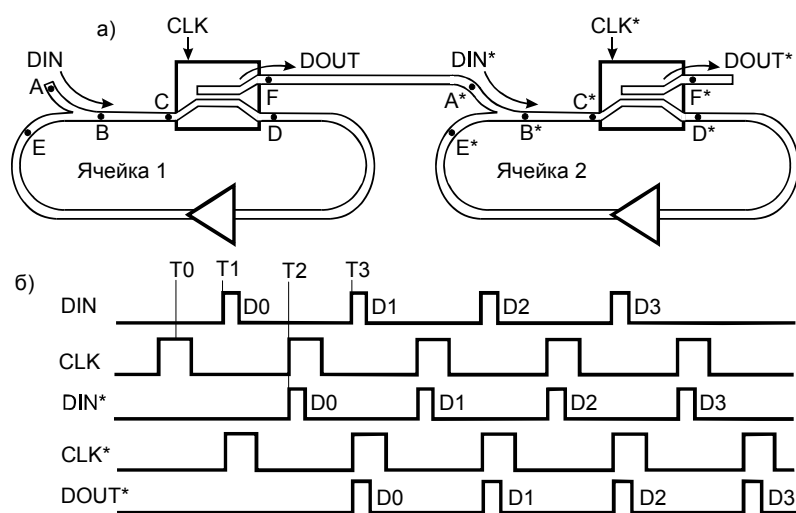
световая энергия, соответствующая хранению единичного бита. Нулевой бит соответствует исходному (затемнённому) состоянию петли.

В момент  $T_3$  на вход управления ключом SW поступает импульс  $CLK = 1$  считывания бита данных из ячейки. Петля размыкается, и вся накопленная в ней при хранении лог. 1 энергия в период  $T_3 — T_4$  направляется на выход в виде импульса  $DOUT$ . После момента  $T_5$  ячейка очищена от светового потока и готова принять очередной бит данных. В период  $T_6 — T_7$  на её вход поступает следующий бит  $DIN = 1$  и т. д.

Схема, приведенная на рис. 7, б, отличается от схемы на рис. 7, а размещением точки ввода бита данных в ячейку. Обе схемы равноценны. Схемы на рис. 7 в, г, содержат оптические усилители AMP, размещённые в определённой точке петли или распределённые по её длине. Усилители поддерживают световой поток в петле в течение неограниченного времени вплоть до поступления импульса  $CLK = 1$ , когда поток выводится из ячейки. Усилители имеют достаточно высокие пороги срабатывания для предотвращения самопроизвольного заполнения петли световым потоком в отсутствие импульса на входе  $DIN$ .

### Сдвиговый регистр

Одноразрядный сдвиговый регистр [8] (рис. 8, а) построен на двух рассмотренных ранее оптических ячейках памяти 1 и 2. Синхронизация регистра осуществляется сигналами  $CLK$  и  $CLK^*$  одинаковой частоты, взаимно сдвинутыми по фазе на половину периода.



Синхронизация регистра осуществляется сигналами  $CLK$  и  $CLK^*$  одинаковой частоты, взаимно сдвинутыми по фазе на половину периода.

Рис. 8. Одноразрядный сдвиговый регистр

Предположим, что исходно обе ячейки находятся в состоянии лог. 0. Прохождение первого импульса  $CLK$  (рис. 8, б, момент  $T_0$ ) не изменяет состояние регистра. В момент  $T_1$  в точку  $A$  поступает световой сигнал  $DIN = D_0 = 1$ , который начинает циркулировать по петле  $B — C — D — E — B$ . Примерно в это же время формируется первый импульс  $CLK^*$  считывания выходных данных, но так как ячейка 2 находится в нулевом состоянии, в точке  $F^*$  светового импульса нет.

В момент  $T_2$  второй импульс  $CLK$  открывает хранящемуся в ячейке 1 световому потоку путь в ячейку 2:  $C — F — A^* — B^* — D^* — E^* — B^*$ , поэтому свет полностью “перетекает” из первой ячейки во вторую, при этом первая ячейка переходит в нулевое состояние. В момент  $T_3$  на вход регистра поступает второй бит данных  $D_1 = 1$  и запоминается в первой ячейке. Примерно в это же время под управлением второго импульса  $CLK^*$  бит  $D_0 = 1$  в виде светового импульса пересылается на выход регистра. При этом ячейка 2 переходит в нулевое состояние. Далее цикл работы регистра повторяется.

### Преобразователь последовательного кода в параллельный

Схема двухразрядного преобразователя последовательного кода в параллельный [9] (рис. 9, а) выполнена на основе рассмотренного ранее оптического сдвигового регистра. Выходы первого и второго разрядов регистра подключены через ключи, управляемые синхросигналом  $CLK_3$ , к параллельным выходам ( $DOUT_1, DOUT_2$ ) преобразователя.

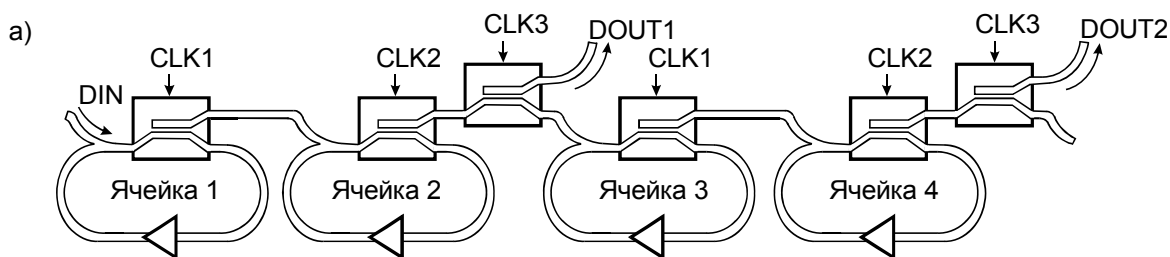
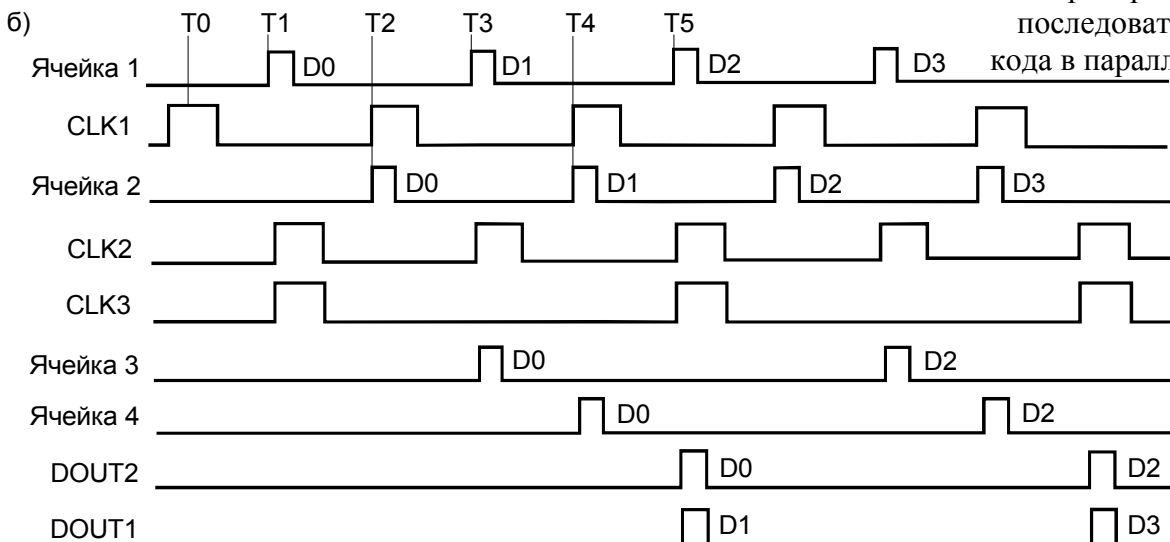


Рис. 9. Преобразователь последовательного кода в параллельный



Исходное состояние ячеек 1 — 4 нулевое, первый импульс CLK1 (рис. 9, б, момент T0) не изменяет его. В момент T1 единичный бит D0 загружается в первую ячейку, в момент T2 он перемещается во вторую ячейку, а первая ячейка устанавливается в нуль. В момент T3 единичный бит D1 записывается с входа DIN в первую ячейку, и примерно в это же время бит D0 из второй ячейки переписывается в третью, а вторая ячейка устанавливается в нуль.

В период T4 — T5 во второй и четвертой ячейках присутствуют единичные биты D1 и D0. В момент T5 эти биты одновременно передаются на выходы DOUT1 и DOUT2 благодаря тому, что одновременно открыты ключи, управляемые импульсами CLK2 и CLK3. Импульс CLK3 должен чуть перекрывать во времени импульс CLK2, чтобы создать гарантию того, что вся световая энергия из ячейки 2 (4) направлена только на выход преобразователя (а не в соседнюю справа ячейку). В следующем цикле преобразования на параллельные выходы DOUT1 и DOUT2 передается следующая пара битов (D3 и D2) и т. д.

### *Преобразователь параллельного кода в последовательный*

Трёхразрядный преобразователь параллельного кода в последовательный [10] (рис. 10, а) содержит четыре оптические ячейки памяти. В исходном состоянии в ячейках записаны лог. 0 (рис. 10, б, момент T0). Ввод первого трёхразрядного слова параллельных данных D0 — D2 в преобразователь осуществляется по входам IN1 — IN3 в момент T1. Так как CLK1 = 1, то бит D0 с входа IN1 не попадает в ячейку 1, а проходит непосредственно на выход OUT преобразователя. В то же время бит D1 запоминается в ячейке 2, а бит D2 — в ячейке 4.

В момент T2 под управлением синхроимпульса CLK2 биты D2 и D1 переписываются из ячеек 4 и 2 в ячейки 3 и 1. В момент T3 синхросигнал CLK1 вызывает выдачу бита D1 на выход преобразователя из ячейки 1 и перемещение бита D2 из третьей ячейки во вторую. В момент T4 бит D2 переписывается из второй ячейки в первую, затем в момент T5 этот бит поступает на выход преобразователя. К моменту T6 все ячейки перешли в нулевые состояния. В момент T7 на входы преобразователя поступает новое трёхразрядное слово, и все описанные процессы повторяются.

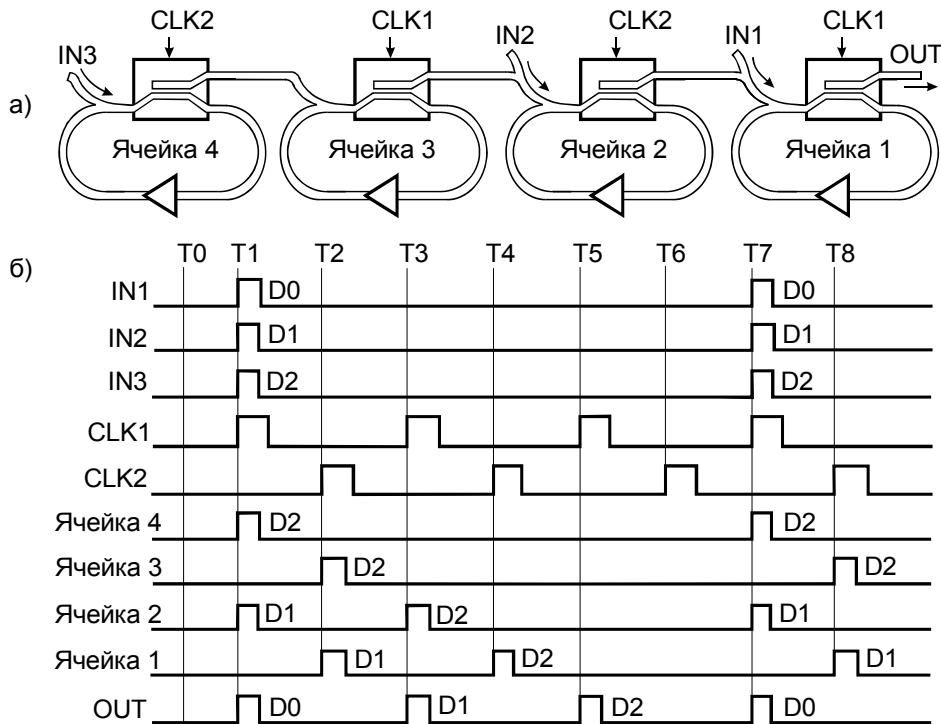


Рис. 10. Преобразователь параллельного кода в последовательный

### Коммутатор тайм-слотов

Технология мультиплексирования каналов с разделением времени (Time Division Multiplexing, TDM) предусматривает передачу по линии связи потока информационных кадров, в которых каждому каналу выделен определённый интервал времени (тайм-слот). Коммутация каналов осуществляется перестановкой тайм-слотов в кадре [11].

Двухразрядный коммутатор тайм-слотов [12] (рис. 11, а) содержит сдвиговый регистр (ячейки 1 — 4), буферную память (ячейки 5, 6) и два ключа, управляемых синхросигналом CLK3. Кадры на входе DIN коммутатора (рис. 11, б,) состоят из двух битов: с чётным и нечётным номерами. Первый кадр содержит биты D0 и D1, второй — D2 и D3 и т. д.

В режиме коммутации порядок следования битов в кадрах на выходе DOУТ противоположен порядку их следования во входных кадрах: D1 — D0, D3 — D2 и т. д. В режиме прямой передачи поток битов проходит на выход коммутатора без изменения. В исходном состоянии (рис. 11, б, в, момент T0) во всех ячейках памяти хранятся лог. 0.

В режиме коммутации в интервале времени T1 — T5 входные биты D0 = 1 и D1 = 1 последовательно загружаются в сдвиговый регистр, перемещаются в нём и попадают в ячейки 4 и 2. В момент T5 бит D1 из ячейки 2 проходит через три последовательно соединённых ключа на выход DOУТ коммутатора. Одновременно с этим бит D0 переписывается из ячейки 4 в ячейку 6, а в ячейку 1 загружается первый бит D2 = 1 второго кадра.

В момент T6 бит D2 переписывается из первой ячейки во вторую, в момент T7 бит D0 пересылается из шестой ячейки на выход коммутатора. Параллельно с этим происходит загрузка и продвижение к выходу пары битов второго кадра по рассмотренным ранее траекториям.

Из временных диаграмм (рис. 11, б) следует, что ячейка 5 не принимает участия в преобразовании последовательности битов, а сигналы CLK3 и CLK4 совпадают. Однако эта ячейка вступает в действие, а сигналы CLK3 и CLK4 становятся разными в режиме прямой передачи битов через коммутатор (рис. 11, в).

Рассмотренные в данной статье устройства могут применяться в телекоммуникационных устройствах при обработке высокоскоростных (порядка 1 Гбит/с и выше) потоков данных.

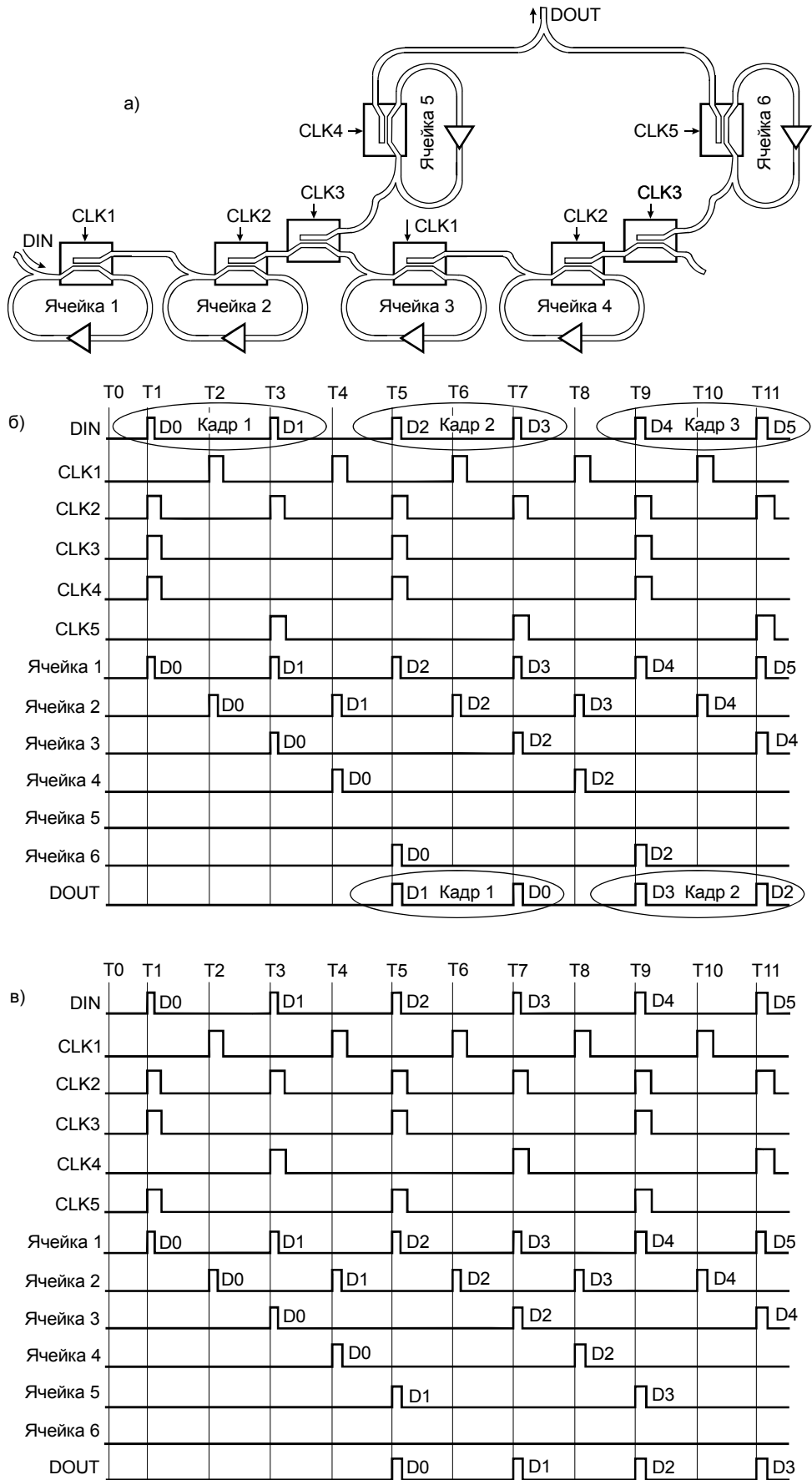


Рис. 11. Коммутатор тайм-слотов: а — схема; б, в — временные диаграммы работы коммутатора в режиме перестановки и прямой передачи битов

## ЛИТЕРАТУРА:

1. С.М.Сухман, А.В.Бернов, Б.В.Шевкопляс. *Синхронизация в телекоммуникационных системах. Анализ инженерных решений*. — М.: Эко-Трендз, 2003. Электронная версия книги: [http://lit.lib.ru/s/shewkopljjas\\_b\\_w/](http://lit.lib.ru/s/shewkopljjas_b_w/)
2. Б.В.Шевкопляс. *Скремблирование передаваемых данных* — *Схемотехника*, 2004, №12, с. 24 — 27, 2005, №1, с. 29 — 32, 2005, №2, с. 32 — 35, 2005, №3, с. 30 — 33. Электронная версия статьи: [http://lit.lib.ru/s/shewkopljjas\\_b\\_w/](http://lit.lib.ru/s/shewkopljjas_b_w/)
3. Б.В.Шевкопляс. *Кодонезависимый и кодозависимый джиттер и вандер* — *Схемотехника*, 2007, № 1. Электронная версия статьи: [http://lit.lib.ru/s/shewkopljjas\\_b\\_w/](http://lit.lib.ru/s/shewkopljjas_b_w/)
4. . Б.В.Шевкопляс. *Вероятностная синхронизация в телекоммуникационных системах: разграничение байтов в битовом потоке данных* — *Схемотехника*, 2005, № 8, с. 23 — 26, № 9, с. 23 — 25. Электронная версия статьи: [http://lit.lib.ru/s/shewkopljjas\\_b\\_w/](http://lit.lib.ru/s/shewkopljjas_b_w/)
5. Пат. США № 4620180 <http://www.uspto.gov>
6. Пат. США № 5058060 <http://www.uspto.gov>
7. Пат. США № 4932736 <http://www.uspto.gov>
8. Пат. США № 4923267 <http://www.uspto.gov>
9. Пат. США № 5032010 <http://www.uspto.gov>
10. Пат. США № 4961621 <http://www.uspto.gov>
11. Олифер В.Г., Олифер Н.А. *Компьютерные сети. Принципы, технологии, протоколы*. — СПб: Изд-во “Питер”, 2002. — 672 с. Электронная версия книги: <http://ait.ustu.ru/AIT/uch/nets/index.htm>
12. Пат. США № 4922479 <http://www.uspto.gov>

Б. Шевкопляс